

Docket No.: 60188-622

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Masahiro IMADE, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: July 31, 2003	:	Examiner:
	:	
For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2002-288531, filed October 1, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mcw
Facsimile: (202) 756-8087
Date: July 31, 2003

日本国特許庁
JAPAN PATENT OFFICE

60188-622
IMADE et al
July 31, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年10月 1日

出願番号

Application Number:

特願2002-288531

[ST.10/C]:

[JP2002-288531]

出願人

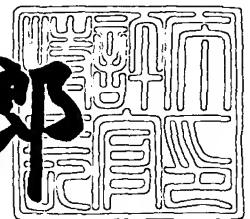
Applicant(s):

松下電器産業株式会社

2003年 4月25日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030369

【書類名】 特許願

【整理番号】 2926430237

【提出日】 平成14年10月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/76

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 今出 昌宏

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 海本 博之

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100077931

 【弁理士】

 【氏名又は名称】 前田 弘

【選任した代理人】

 【識別番号】 100094134

 【弁理士】

 【氏名又は名称】 小山 廣毅

【選任した代理人】

 【識別番号】 100110939

 【弁理士】

 【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 素子形成領域を有する半導体層と、
上記半導体層の上記素子形成領域を囲むトレンチ素子分離と、
少なくとも上記トレンチ素子分離と上記素子形成領域との境界を覆い、上記トレンチ素子分離と上記素子形成領域との上にまたがって設けられた、酸素の通過を抑制する性質を有する被膜と
を備える半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、
上記被膜は、上記半導体層と直接に接していることを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 に記載の半導体装置において、
上記半導体層の上記素子形成領域内に設けられたソース・ドレイン領域と、
上記半導体層の上記素子形成領域の上を熱酸化することにより形成されたゲート絶縁膜と、
上記ゲート絶縁膜の上に設けられたゲート電極と
を有する素子をさらに備えることを特徴とする半導体装置。

【請求項 4】 請求項 3 に記載の半導体装置において、
上記素子は、N 型 M I S F E T であることを特徴とする半導体装置。

【請求項 5】 請求項 1 ～ 4 のうちいずれか 1 つに記載の半導体装置において、
上記被膜は、シリコン窒化物で形成されていることを特徴とする半導体装置。

【請求項 6】 請求項 1 ～ 5 のうちいずれか 1 つに記載の半導体装置において、
上記被膜は、上記トレンチ素子分離の上を覆い、上記半導体層の隣接する 2 つの上記素子形成領域の上までのびていることを特徴とする半導体装置。

【請求項 7】 請求項 1 ～ 5 のうちいずれか 1 つに記載の半導体装置において、
上記トレンチ素子分離の上縁部には段差部が設けられており、

上記被膜は、上記段差部の底面の上から上記素子形成領域の上までのびていることを特徴とする半導体装置。

【請求項 8】 半導体層に、素子形成領域を囲むトレンチ素子分離を形成する工程（a）と、

上記半導体層の上から上記トレンチ素子分離の上に亘って、酸素の通過を抑制する性質を有する被膜を形成する工程（b）と、

上記被膜の一部を除去することにより、少なくとも上記トレンチ素子分離と上記半導体層の上記素子形成領域との境界の上を覆い、上記トレンチ素子分離と上記素子形成領域との上にまたがる部分被膜を形成する工程（c）とを含む半導体装置の製造方法。

【請求項 9】 請求項 8 に記載の半導体装置の製造方法において、

上記工程（c）の後に、上記半導体層の上記素子形成領域の上部を熱酸化することにより、ゲート絶縁膜を形成する工程（d）と、

上記ゲート絶縁膜の上に、ゲート電極を形成する工程（e）と、

上記ゲート電極をマスクとして、上記素子形成領域内にソース・ドレイン領域を形成する工程（f）と

をさらに含むことを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 8 または 9 に記載の半導体装置の製造方法において

上記工程（b）では、上記被膜を、シリコン窒化物で形成することを特徴とする半導体装置の製造方法。

【請求項 11】 半導体層に、素子形成領域を囲むトレンチ素子分離を形成する工程（a）と、

上記トレンチ素子分離と、上記素子形成領域のうち上記トレンチ素子分離に近傍する領域との上を露出させる開口部を有するマスクを形成する工程（b）と、

上記マスクの上に、上記開口部の側面および底面を覆い、酸素の通過を抑制する性質を有する被膜を形成する工程（c）と、

上記マスクの上部と上記被膜の上部とを除去することにより、上記トレンチ素子分離と上記素子形成領域との境界の上を覆い、上記トレンチ素子分離と上記素

子形成領域との上にまたがる部分被膜を形成する工程（d）と、

残存する上記マスクを除去する工程（e）と

を含む半導体装置の製造方法。

【請求項 1 2】 請求項 1 1 に記載の半導体装置の製造方法において、

上記工程（e）の後に、上記半導体層の上記素子形成領域の上部を熱酸化することにより、ゲート絶縁膜を形成する工程（f）と、

上記ゲート絶縁膜の上に、ゲート電極を形成する工程（g）と、

上記ゲート電極をマスクとして、上記素子形成領域内にソース・ドレイン領域を形成する工程（h）と

をさらに含むことを特徴とする半導体装置の製造方法。

【請求項 1 3】 請求項 1 1 または 1 2 に記載の半導体装置の製造方法において、

上記工程（a）では、上記トレンチ素子分離の上縁部に段差部を形成し、

上記工程（d）では、上記部分被膜を、上記段差部の底面の上から上記素子形成領域の上までのびるように形成することを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 1 1 ～ 1 3 のうちいずれか 1 つに記載の半導体装置の製造方法において、

上記工程（c）では、上記被膜を、シリコン窒化物で形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、特にトレンチによる素子分離構造を有する半導体装置およびその製造方法に関する。

【0 0 0 2】

【従来の技術】

半導体基板上の素子同士を電氣的に分離する方法の 1 つとして、トレンチ素子分離法がある。トレンチ素子分離法とは、素子間領域に適当な深さのトレンチを掘り、そこに絶縁体を埋設することにより素子間を分離する方法である（例えば

特許文献 1 参照)。

【0003】

以下に、従来の半導体装置におけるトレンチ素子分離構造の製造方法について、図 5 (a) ~ (f) を参照しながら説明する。図 5 (a) ~ (f) は従来の半導体装置におけるトレンチ素子分離構造の製造工程を示す断面図である。

【0004】

まず、図 5 (a) に示す工程で、半導体基板 5 1 の表面を酸化して熱酸化膜 5 2 を形成する。続いて、化学的気相成長法 (CVD) 法によって、熱酸化膜 5 2 上に半導体窒化物を堆積させることにより窒化膜 5 3 を形成する。

【0005】

次に、図 5 (b) に示す工程で、フォトリソグラフィ技術により、素子分離領域に開口を有するマスク 5 4 を窒化膜 5 3 上に形成する。そして、マスク 5 4 を用いて異方性エッチングを行なうことにより、窒化膜 5 3 および熱酸化膜 5 2 を貫通して半導体基板 5 1 を所定の深さまでエッチングしてトレンチ 5 5 を形成する。

【0006】

次に、図 5 (c) に示す工程で、マスク 5 4 を除去した後、熱酸化法によりトレンチ 5 5 内に露出する半導体基板 5 1 の表面上に第 1 の酸化膜 5 6 を形成する。

【0007】

次に、図 5 (d) に示す工程で、高密度プラズマ CVD 法等により、基板上にトレンチ 5 5 を埋める第 2 の酸化膜 5 7 を形成する。

【0008】

次に、図 5 (e) に示す工程で、CMP 法等により、第 2 の酸化膜 5 7 を平坦化する。第 2 の酸化膜 5 7 の平坦化は、窒化膜 5 3 の上面が露出するまで行なわれる。

【0009】

次に、図 5 (f) に示す工程で、窒化膜 5 3 と熱酸化膜 5 2 を選択的エッチングにより除去することにより、トレンチ 5 5 に第 1 の酸化膜 5 6 および第 2 の酸

化膜 5 7 が埋め込まれたトレンチ素子分離 5 8 を形成する。なお、熱酸化膜 5 2 を除去するときには、第 2 の酸化膜 5 7 の上部も同様に除去される。特に、第 2 の酸化膜 5 7 のうちの上縁部は除去されやすいので段差部 5 9 が形成される。

【 0 0 1 0 】

【特許文献 1】

特開弊 1 1 - 2 6 5 7 1 号公報

【 0 0 1 1 】

【発明が解決しようとする課題】

しかしながら、上述のトレンチ素子分離構造を有する従来の半導体装置においては以下のような不具合が生じていた。

【 0 0 1 2 】

従来の半導体装置は、トレンチ素子分離 5 8 を形成した後に、ゲート絶縁膜を形成するための熱酸化工程や不純物イオン注入後の熱拡散等の熱処理工程などを経て形成される。このような工程においては、半導体基板のうちトレンチ素子分離構造の上端部と接する部分において酸化が進行してしまう。

【 0 0 1 3 】

図 6 は、従来の半導体装置において、ゲート絶縁膜 6 0 を形成するために半導体基板の上部を熱酸化する工程を示す断面図である。図 6 に示すように、半導体基板 5 1 の素子形成領域の上端部には、上方だけでなくトレンチ素子分離 5 8 のほうからも酸素が供給されるので過剰酸化領域 6 1 が成長してしまう。過剰酸化領域 6 1 が成長すると、その部分の体積が膨張して応力が発生するので、半導体基板には結晶欠陥が生じやすくなる。そのため、結晶欠陥を介してリーク電流が流れやすくなり、素子分離能が低下するおそれが生じる。

【 0 0 1 4 】

また、半導体基板 5 1 の素子形成領域に形成される素子が N 型 M I S F E T である場合には、過剰酸化領域から及ぼされる応力により電子の移動度が低下するため、トランジスタの駆動力が低下するという問題も生じていた。

【 0 0 1 5 】

本発明は、トレンチ素子分離から素子形成領域に及ぼされる応力を抑制するこ

とにより、結晶欠陥に由来するリーク電流を低減することができる半導体装置およびその製造方法の提供を目的とする。

【0016】

また、N型MISFETにおいては、駆動力の低下を防止することにより、高信頼・高性能な半導体装置の提供を目的とする。

【0017】

【課題を解決するための手段】

本発明の半導体装置は、素子形成領域を有する半導体層と、上記半導体層の上記素子形成領域を囲むトレンチ素子分離と、少なくとも上記トレンチ素子分離と上記素子形成領域との境界を覆い、上記トレンチ素子分離と上記素子形成領域との上にまたがって設けられた、酸素の通過を抑制する性質を有する被膜とを備える。

【0018】

これにより、半導体層の素子形成領域の上縁部は、酸化されにくくなり、上記上縁部の体積の膨張が起こりにくくなる。そのため、応力の発生を抑制することができ、リーク電流の発生を抑制することができる。

【0019】

上記被膜は、上記半導体層と直接に接していることにより、半導体装置の製造工程において半導体層の上縁部の酸化が抑制される。

【0020】

上記半導体層の上記素子形成領域内に設けられたソース・ドレイン領域と、上記半導体層の上記素子形成領域の上を熱酸化することにより形成されたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極とを有する素子をさらに備える場合には、ゲート絶縁膜を形成するために半導体層の熱酸化を行っても、素子形成領域の上縁部の酸化を抑制することができる。

【0021】

上記素子は、N型MISFETである場合には、応力の発生を抑制することで電子の移動度が向上するので、駆動力を向上させることができる。

【0022】

上記被膜は、シリコン窒化物で形成されていることが好ましい。

【 0 0 2 3 】

上記被膜は、上記トレンチ素子分離の上を覆い、上記半導体層の隣接する 2 つの上記素子形成領域の上までのびていてもよい。

【 0 0 2 4 】

上記トレンチ素子分離の上縁部には段差部が設けられており、上記被膜は、上記段差部の底面の上から上記素子形成領域の上までのびていることにより、基板の表面をより平坦化することができる。

【 0 0 2 5 】

本発明の第 1 の半導体装置の製造方法は、半導体層に、素子形成領域を囲むトレンチ素子分離を形成する工程（a）と、上記半導体層の上から上記トレンチ素子分離の上に亘って、酸素の通過を抑制する性質を有する被膜を形成する工程（b）と、上記被膜の一部を除去することにより、少なくとも上記トレンチ素子分離と上記半導体層の上記素子形成領域との境界の上を覆い、上記トレンチ素子分離と上記素子形成領域との上にまたがる部分被膜を形成する工程（c）とを含む。

【 0 0 2 6 】

これにより、工程（c）の後には、半導体層の素子形成領域の上縁部が酸化されにくくなり、上記上縁部の体積の膨張が起こりにくくなる。これにより、応力の発生を抑制することができるので、リーク電流の発生しにくい半導体装置を製造することができる。

【 0 0 2 7 】

上記工程（c）の後に、上記半導体層の上記素子形成領域の上部を熱酸化することにより、ゲート絶縁膜を形成する工程（d）と、上記ゲート絶縁膜の上に、ゲート電極を形成する工程（e）と、上記ゲート電極をマスクとして、上記素子形成領域内にソース・ドレイン領域を形成する工程（f）とをさらに含む場合には、工程（e）では、素子形成領域の上縁部が部分被膜により覆われているので、上記上縁部の酸化を抑制することができる。

【 0 0 2 8 】

上記工程（b）では、上記被膜を、シリコン窒化物で形成することが好ましい。

【0029】

本発明の第2の半導体装置は、半導体層に、素子形成領域を囲むトレンチ素子分離を形成する工程（a）と、上記トレンチ素子分離と、上記素子形成領域のうち上記トレンチ素子分離に近傍する領域との上を露出させる開口部を有するマスクを形成する工程（b）と、上記マスクの上に、上記開口部の側面および底面を覆い、酸素の通過を抑制する性質を有する被膜を形成する工程（c）と、上記マスクの上部と上記被膜の上部とを除去することにより、上記トレンチ素子分離と上記半導体層の上記素子形成領域との境界の上を覆い、上記トレンチ素子分離と上記素子形成領域との上にまたがる部分被膜を形成する工程（d）と、残存する上記マスクを除去する工程（e）とを含む。

【0030】

これにより、工程（d）の後には、半導体層の素子形成領域の上縁部が酸化されにくくなり、上記上縁部の体積の膨張が起こりにくくなる。これにより、応力の発生を抑制することができるので、リーク電流の発生しにくい半導体装置を製造することができる。

【0031】

上記工程（e）の後に、上記半導体層の上記素子形成領域の上部を熱酸化することにより、ゲート絶縁膜を形成する工程（f）と、上記ゲート絶縁膜の上に、ゲート電極を形成する工程（g）と、上記ゲート電極をマスクとして、上記素子形成領域内にソース・ドレイン領域を形成する工程（h）とをさらに含む場合には、工程（g）では、素子形成領域の上縁部が部分被膜により覆われているので、上記上縁部の酸化を抑制することができる。

【0032】

上記工程（a）では、上記トレンチ素子分離の上縁部に段差部を形成し、上記工程（d）では、上記部分被膜を、上記段差部の底面の上から上記素子形成領域の上までのびるように形成することにより、基板の表面をより平坦化することができる。

【 0 0 3 3 】

上記工程（c）では、上記被膜を、シリコン窒化物で形成することが好ましい。

【 0 0 3 4 】

【発明の実施の形態】

以下、本発明の実施形態について、図面を参照しながら説明する。

【 0 0 3 5 】

（第 1 の実施形態）

本実施形態の半導体装置の特徴は、トレンチ素子分離の上から素子形成領域のうちトレンチ素子分離の周囲に位置する領域の上までが、酸素供給を抑制するための酸素通過抑制用膜により覆われている点である。以下に、本実施形態の半導体装置の構造について図 1 を参照しながら説明する。図 1 は、第 1 の実施形態における半導体装置の構造を示す断面図である。

【 0 0 3 6 】

図 1 に示すように、本実施形態の半導体装置は、半導体基板 1 1 の素子形成領域 R e に設けられた M I S F E T と、素子形成領域 R e の側方を囲むトレンチ素子分離 1 3 とを備えている。

【 0 0 3 7 】

M I S F E T は、高濃度不純物拡散層 1 4 および低濃度不純物拡散層 1 5 からなる N 型のソース・ドレイン領域 1 6 と、半導体基板 1 1 のうちソース・ドレイン領域 1 6 に挟まれる領域の上に設けられ、厚さ 2 n m のシリコン酸化膜からなるゲート絶縁膜 1 7 と、ゲート絶縁膜 1 7 の上に設けられ、厚さ 1 5 0 n m のポリシリコンからなるゲート電極 1 8 と、ゲート電極 1 8 の側面上に設けられた幅 6 0 n m のシリコン酸化膜からなる絶縁性のサイドウォール 1 9 とから構成されている。

【 0 0 3 8 】

トレンチ素子分離 1 3 は、トレンチの内表面を覆う第 1 の酸化膜 2 0 と、第 1 の酸化膜 2 0 を挟んでトレンチを埋める第 2 の酸化膜 2 1 とから構成されている。なお、トレンチ素子分離 1 3 の上縁部には段差部 2 2 が形成されている。この

段差部 2 2 は、トレンチ素子分離 1 3 を形成するときに形成されたものである。

【0 0 3 9】

そして、トレンチ素子分離 1 3 の上から、半導体基板 1 1 の素子形成領域 R e のうちトレンチ素子分離 1 3 に近接する部分の上に亘って、厚さ 8 0 n m の酸素通過抑制用膜 2 3 が設けられている。酸素通過抑制用膜 2 3 は、トレンチ素子分離 1 3 の上を覆い、トレンチ素子分離 1 3 の上端部から 4 0 n m 程度の長さで素子形成領域 R e の上に伸長している。

【0 0 4 0】

酸素通過抑制用膜 2 3 は、製造工程において、半導体基板 1 1 の素子形成領域 R e の上縁部が過剰に酸化されるのを防止する目的で設けられている。酸素通過抑制用膜 2 3 としては、非導電性で、かつ酸素が透過しにくい材質を用いることが望ましく、例えばシリコン窒化物が適当である。

【0 0 4 1】

なお、サイドウォール 1 9 はシリコン酸化膜とシリコン窒化膜の積層体からなっている。

【0 0 4 2】

次に、本実施形態に係る半導体装置の製造方法について説明する。製造方法としては 2 つの方法があり、まず第 1 の製造方法について図 2 (a) ~ (d) を参照しながら説明する。図 2 (a) ~ (d) は、第 1 の実施形態における半導体装置の第 1 の製造工程のうち、酸素通過抑制用膜 2 3 の製造工程を示す断面図である。ここで、M I S F E T などの図示は省略されている。

【0 0 4 3】

まず、図 2 (a) に示す工程で、従来の技術の欄で述べた方法と同様の方法で、半導体基板 1 1 に第 1 の酸化膜 2 0 および第 2 の酸化膜 2 1 からなるトレンチ素子分離 1 3 を形成する。このとき、トレンチ素子分離 1 3 の上縁部には段差部 2 2 が形成されている。

【0 0 4 4】

次に、図 2 (b) に示す工程で、基板上に、トレンチ素子分離 1 3 を覆うシリコン窒化膜 2 3 a を堆積させる。

【 0 0 4 5 】

次に、図 2 (c) に示す工程で、フォトリソグラフィ技術およびエッチング技術により、トレンチ素子分離 1 3 の上からその側方に位置する半導体基板 1 1 の上の一部に亘って、CVD酸化膜からなる保護膜 2 4 を形成する。そして、保護膜 2 4 をマスクとして、シリコン窒化膜を熱リン酸でウェットエッチングすることにより、酸素通過抑制用膜 2 3 を形成する。

【 0 0 4 6 】

この酸素通過抑制用膜 2 3 は、トレンチ素子分離 1 3 を完全に覆い、第 1 の酸化膜 2 0 および第 2 の酸化膜 2 1 が露出しない程度に、半導体基板 1 1 にオーバーラップさせればよい。

【 0 0 4 7 】

なお、保護膜 2 4 は、シリコン窒化膜 2 3 a (酸素通過抑制用膜 2 3) および半導体基板 1 1 に対して選択エッチングが可能な B P S G 膜等であってもよい。

【 0 0 4 8 】

次に、図 2 (d) に示す工程で、保護膜 2 4 を除去する。その後、半導体基板 1 1 の素子形成領域 R e に M I S F E T などの素子を形成する。

【 0 0 4 9 】

次に、第 1 の実施形態における半導体装置の第 2 の製造方法について、図 3 (a) ~ (e) を参照しながら説明する。図 3 (a) ~ (e) は、第 1 の実施形態の第 2 の製造工程のうち、酸素通過抑制用膜 2 3 の製造工程を示す断面図である。

【 0 0 5 0 】

まず、図 3 (a) に示す工程で、従来の技術の欄で述べた方法と同様の方法により、第 1 の酸化膜 2 0 および第 2 の酸化膜 2 1 からなるトレンチ素子分離 1 3 を形成する。

【 0 0 5 1 】

次に、図 3 (b) に示す工程で、フォトリソグラフィ技術およびエッチング技術により、開口部 3 0 を有し B P S G 膜からなる保護膜 3 1 を形成する。開口部 3 0 は、トレンチ素子分離 1 3 の上と、半導体基板 1 1 のうちトレンチ素子分離

1 3 との境界付近の領域の上を露出している。なお、保護膜 3 1 は、トレンチ素子分離 1 3 の埋め込み材料および半導体基板 1 1 に対して選択的エッチングが可能な膜であればよい。

【 0 0 5 2 】

次に、図 3 (c) に示す工程で、開口部 3 0 の内表面を覆い、保護膜 3 1 の上にのびるシリコン窒化膜 2 3 a を堆積させる。

【 0 0 5 3 】

次に、図 3 (d) に示す工程で、CMP 等により基板表面を平坦化する。この平坦化は、少なくともシリコン窒化膜 2 3 a のうちトレンチ素子分離 1 3 の上に位置する部分の上面に達するまで行なう。これにより、トレンチ素子分離 1 3 の上から半導体基板 1 1 のうちトレンチ素子分離 1 3 の側方付近の上までを覆う酸素通過抑制用膜 2 3 を形成する。

【 0 0 5 4 】

次に、図 3 (e) に示す工程で、残存する保護膜 3 1 を除去する。そして、半導体基板 1 1 のうちの素子形成領域 R e に、M I S F E T などの素子を形成する。

【 0 0 5 5 】

本実施形態では、酸素通過抑制用膜 2 3 を形成した後に、ゲート絶縁膜 1 7 (図 1 に示す) を形成するための酸化や不純物イオンを拡散させるための熱処理などを行なう。そのため、素子形成領域 R e のうちトレンチ素子分離 1 3 との境界部分には、酸素が供給されにくくなる。すると、その部分の体積膨張を抑制することができるので応力の発生も抑制することができる。したがって、半導体基板に結晶欠陥が生じにくくなるので、リーク電流の発生を回避することができる。

【 0 0 5 6 】

また、半導体基板 1 1 の素子形成領域 R e に N 型 M I S F E T を形成した場合には、素子形成領域 R e に及ぼされる応力が低減することにより電子の移動度が向上するので、素子の駆動力を向上させることもできる。

【 0 0 5 7 】

(第 2 の実施形態)

本実施形態では、酸素通過抑制用膜によってトレンチ素子分離の上面全体を覆うのではなく、トレンチ素子分離と素子形成領域との境界部分の上のみを覆う場合について説明する。

【0058】

図4は、第2の実施形態の半導体装置の構造を示す断面図である。

【0059】

図4に示すように、本実施形態の半導体装置では、トレンチ素子分離13の外縁部に段差部22が形成されている。通常、この段差部22は、トレンチ素子分離13を形成する工程において、半導体基板11の素子形成領域Reの上を覆う保護酸化膜を除去するときに自然に形成されたものである。ただし、段差部22は、他の工程において徐々に形成されたものであってもよいし、故意に形成されたものであってもよい。そして、酸素通過抑制用膜41は、トレンチ素子分離13に形成された深さ40nmの段差部22の上から、半導体基板11のうち素子形成領域Reの外縁部の上に亘って形成されている。なお、酸素通過抑制用膜41は、トレンチ素子分離13の上端部から40nmの長さで素子形成領域Reの上に伸長している。素子形成領域Rそれ以外の構造は、第1の実施形態と同様であるので説明を省略する。

【0060】

本実施形態の酸素通過抑制用膜41を形成する方法について以下に説明する。第1の実施形態の第2の製造工程において、図3(d)に示す工程では、シリコン窒化膜23aのうちトレンチ素子分離13の上に位置する部分の上面が露出する程度までCMPによる平坦化を行っていた。本実施形態では、同工程において、シリコン窒化膜23aのCMPによる平坦化をトレンチ素子分離13の上面が露出するまで行なう。すると、トレンチ素子分離13の上縁部の上では、段差部22を埋める酸素通過抑制用膜41が形成される。そして、トレンチ素子分離13のうち上縁部を除く部分の上面と酸素通過抑制用膜41の上面とが平坦化される。

【0061】

本実施形態では、第1の実施形態と同様の効果を得ることができる。また、基

板における段差を緩和することができる。

【0062】

なお、上記2つの実施形態では、酸素通過抑制用膜23がシリコン窒化物である場合について述べたが、本発明では、酸素通過抑制用膜23として他の材質を用いてもよい。例えば、多結晶シリコンを用いることもできる。

【0063】

なお、上記の2つの実施形態においては半導体基板としてシリコン基板やSOI基板を用いてもよい。

【0064】

【発明の効果】

本発明の半導体装置の製造工程においては、トレンチ素子分離と半導体層の素子形成領域との境界近傍へ供給される酸素が抑制される。そのため、トレンチ素子分離形成後に熱処理を行なっても、上記の境界近傍の酸化が進行しにくくなるので、過剰酸化による体積膨張が抑制される。

【0065】

したがって、半導体層へ及ぼされる応力が低減されるので、応力に起因する結晶欠陥の発生を抑制することができる。また、素子形成領域にN型MISFETを形成した場合には、電子の移動度が向上するので駆動力低下が抑制され、従来よりも高信頼・高性能な半導体装置を得ることができる。

【図面の簡単な説明】

【図1】

第1の実施形態における半導体装置の構造を示す断面図である。

【図2】

(a)～(d)は、第1の実施形態における半導体装置の第1の製造工程のうち、酸素通過抑制用膜23の製造工程を示す断面図である。

【図3】

(a)～(e)は、第1の実施形態の第2の製造工程のうち、酸素通過抑制用膜23の製造工程を示す断面図である。

【図4】

第 2 の実施形態の半導体装置の構造を示す断面図である。

【図 5】

(a) ～ (f) は従来の半導体装置におけるトレンチ素子分離構造の製造工程を示す断面図である。

【図 6】

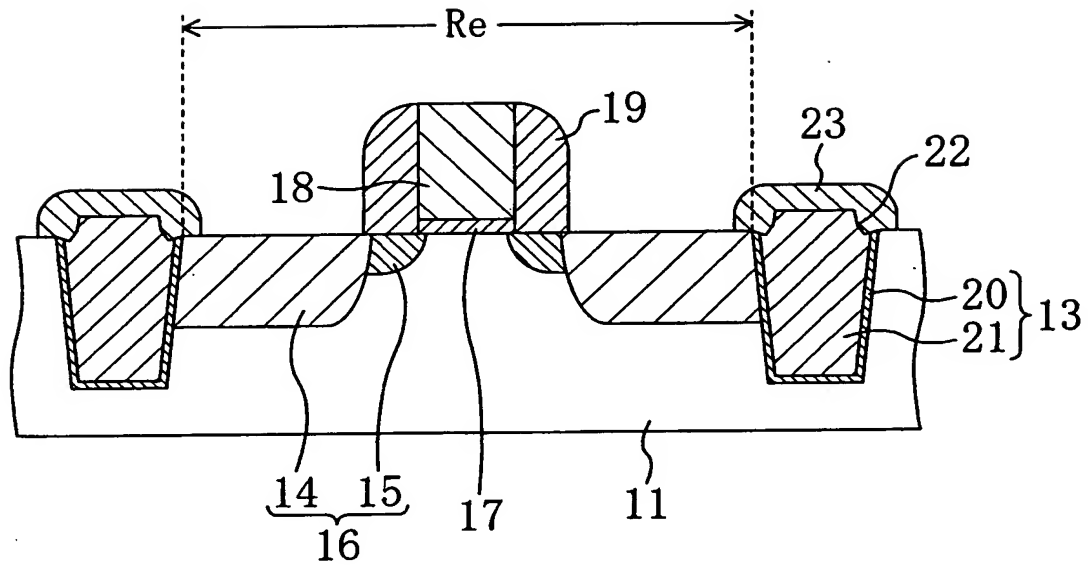
従来の半導体装置において、ゲート絶縁膜を形成するために半導体基板の上部を熱酸化する工程を示す断面図である。

【符号の説明】

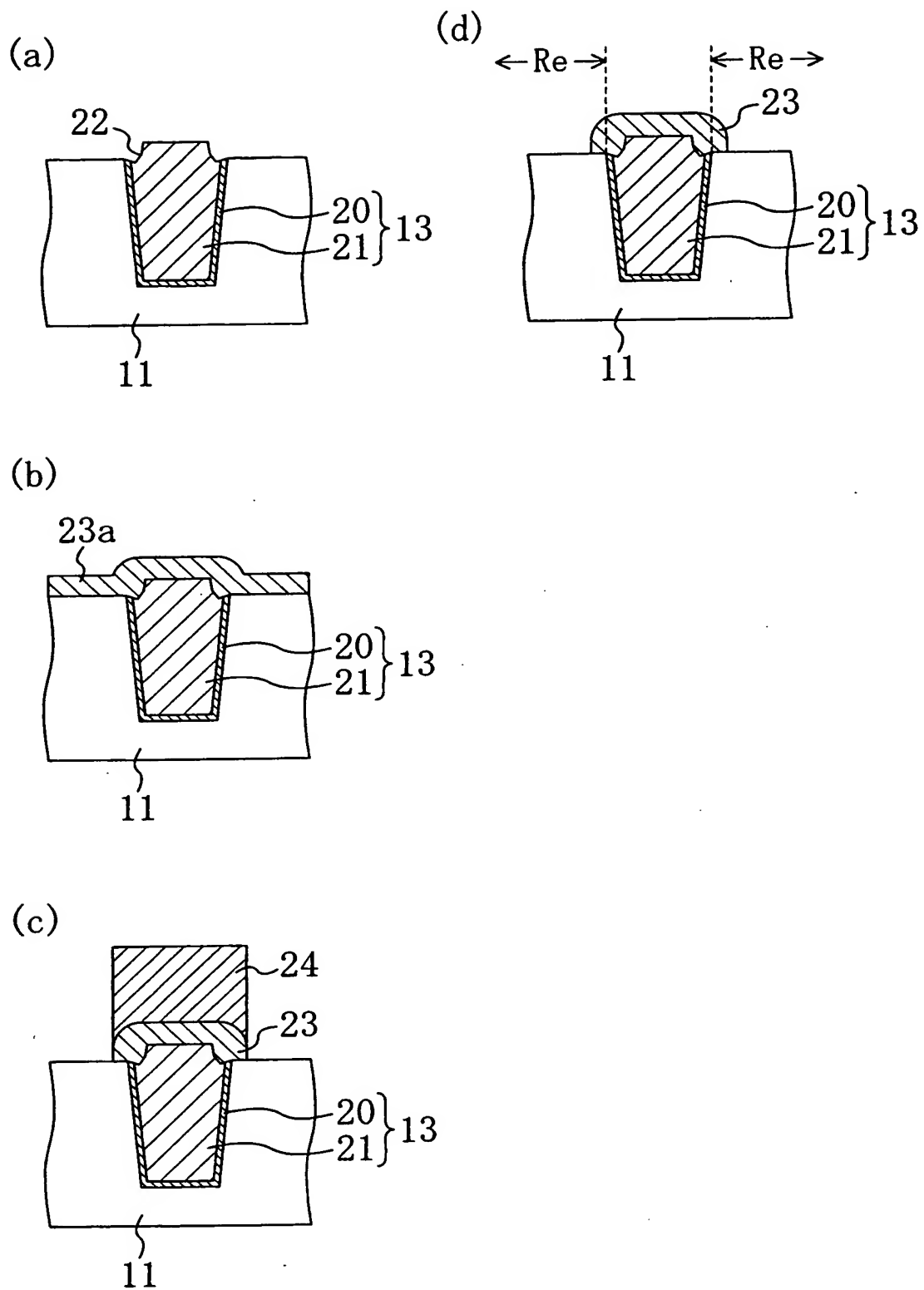
- 1 1 半導体基板
- 1 3 トレンチ素子分離
- 1 4 高濃度不純物拡散層
- 1 5 低濃度不純物拡散層
- 1 6 ソース・ドレイン領域
- 1 7 ゲート絶縁膜
- 1 8 ゲート電極
- 1 9 サイドウォール
- 2 0 第 1 の酸化膜
- 2 1 第 2 の酸化膜
- 2 2 段差部
- 2 3 酸素通過抑制用膜
- 2 3 a シリコン窒化膜
- 2 4 保護膜
- 3 0 開口部
- 3 1 保護膜
- 4 1 酸素通過抑制用膜

【書類名】 図面

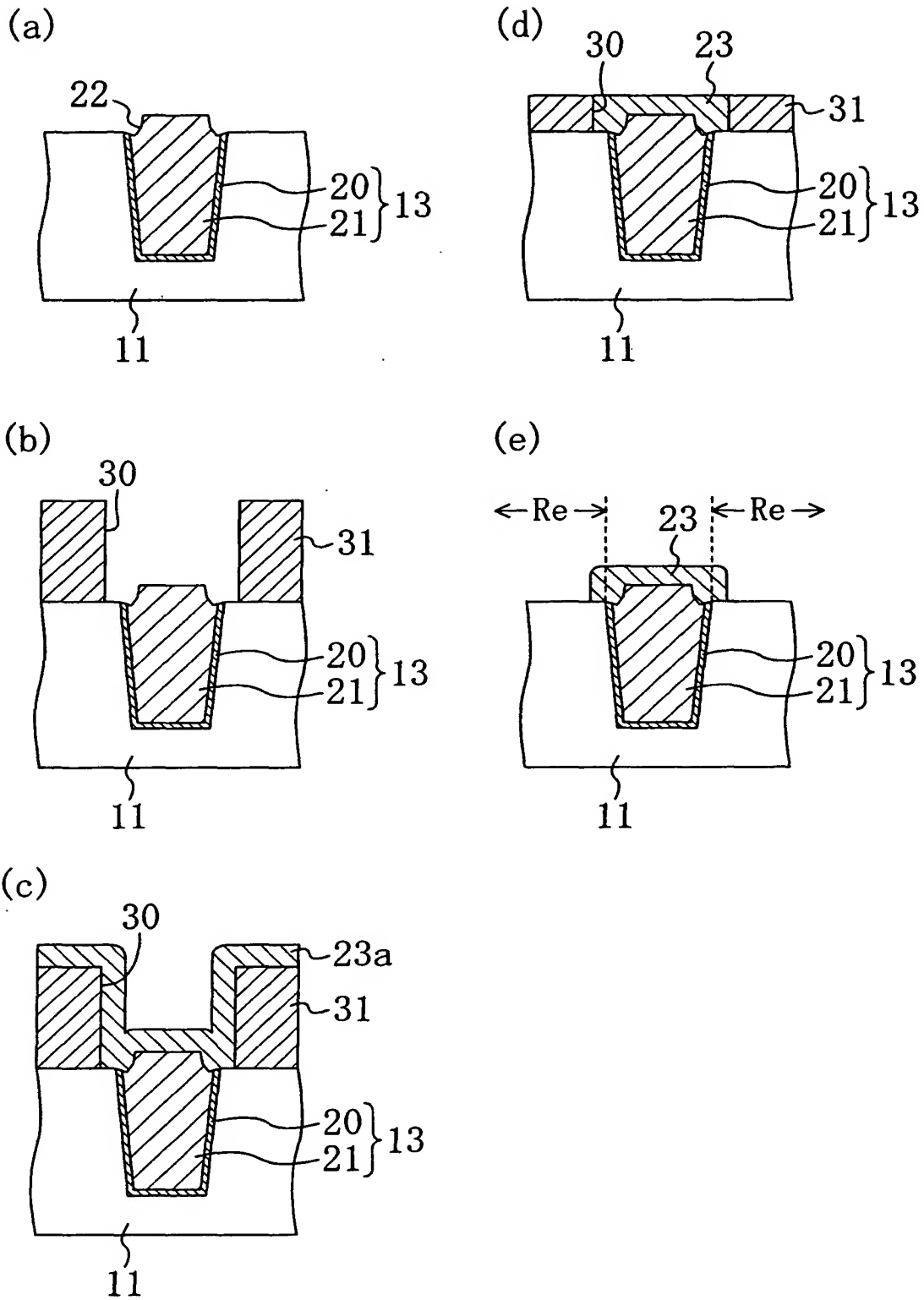
【図 1】



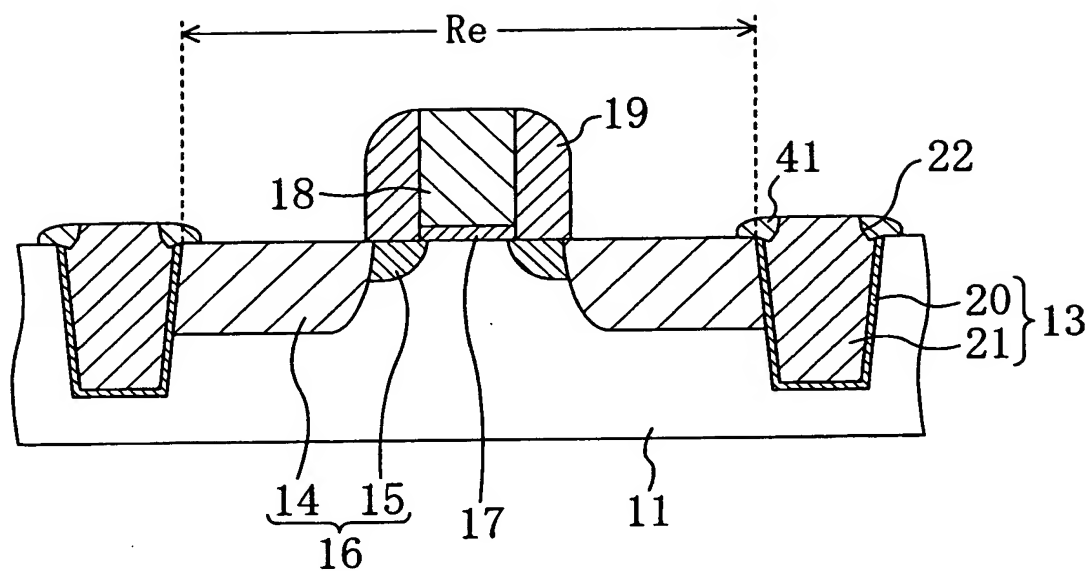
【図 2】



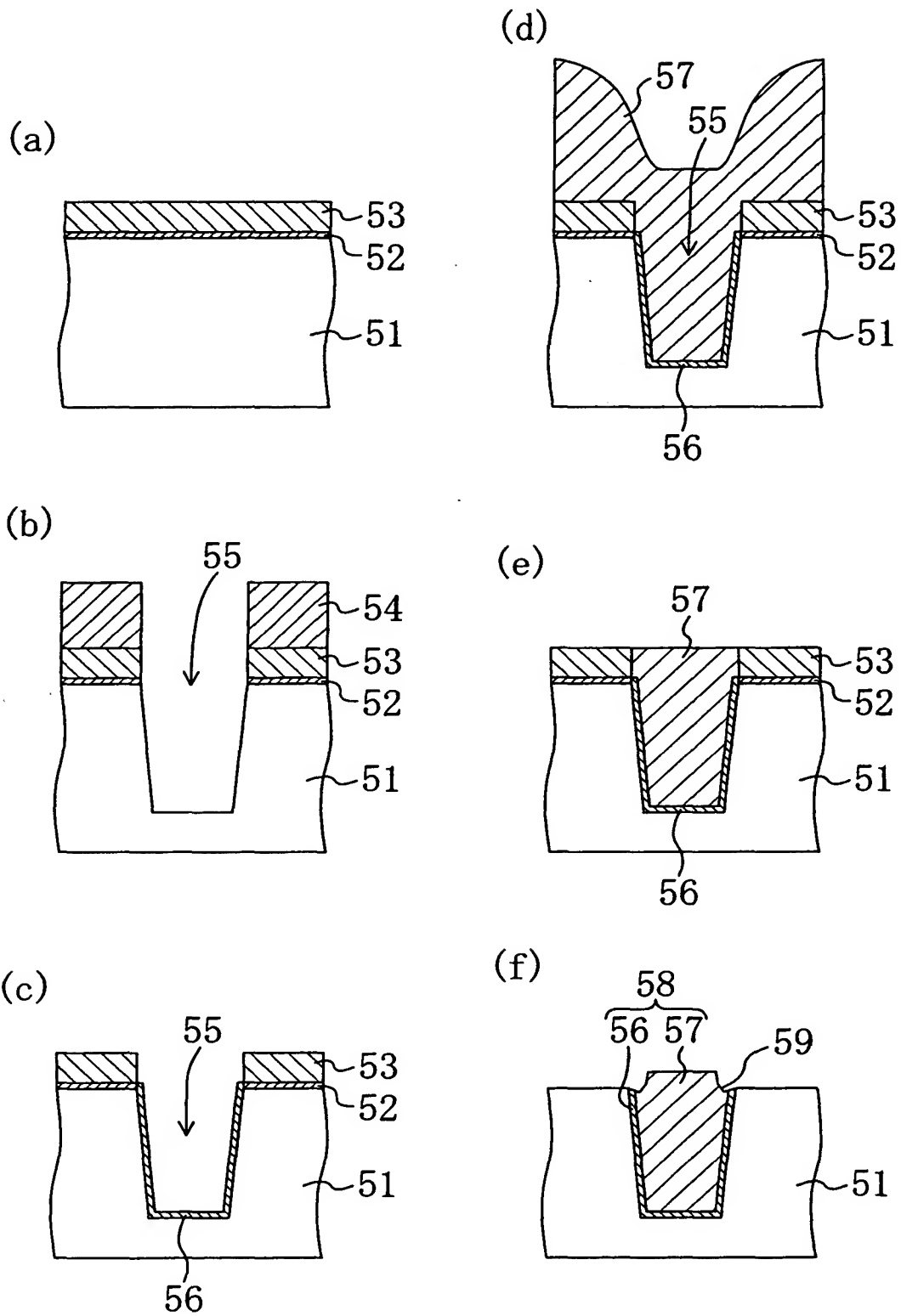
【図 3】



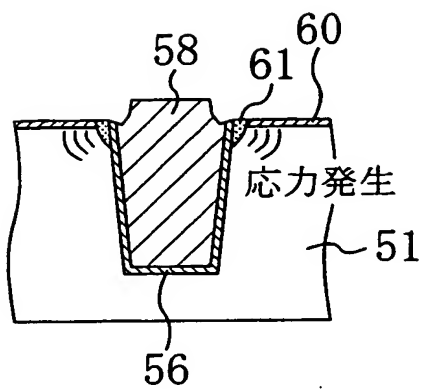
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 結晶欠陥に由来するリーク電流を低減することができる半導体装置およびその製造方法を提供する。

【解決手段】 半導体基板 1 1 の素子形成領域 R e に設けられた M I S F E T と、素子形成領域 R e の側方を囲むトレンチ素子分離 1 3 とを有しており、トレンチ素子分離 1 3 の上から、素子形成領域 R e のうちトレンチ素子分離 1 3 の近傍の部分の上までに亘って、酸素通過抑制用膜 2 3 が設けられている。酸素通過抑制用膜 2 3 は酸素を透過しにくいシリコン窒化膜等からなっている。これにより、半導体基板 1 1 の素子形成領域 R e の上縁部が酸化されにくくなるので、この上縁部の体積膨張が抑制され、応力を低減することができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社